



Patent

Customer No. 31561
Application No.: 10/707,359
Docket No. 11491-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Chao-Chueh Wu
Application No. : 10/707,359
Filed : December 08, 2003
For : METHOD OF DOPING SIDEWALL OF ISOLATION
TRENCH
Examiner :
Art Unit : 2812

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.:
092122456, filed on: 2003/08/15.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated:

April 20, 2004

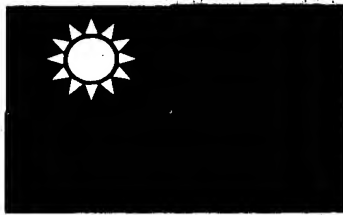
By:

Belinda Lee

Belinda Lee

Registration No.: 46,863

Please send future correspondence to:
7F.-1, No. 100, Roosevelt Rd.,
Sec. 2, Taipei 100, Taiwan, R.O.C.
Tel: 886-2-2369 2800
Fax: 886-2-2369 7233 / 886-2-2369 7234



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder：

申請日：西元 2003 年 08 月 15 日
Application Date

申請案號：092122456
Application No.

申請人：茂德科技股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2004 年 1 月 16 日
Issue Date

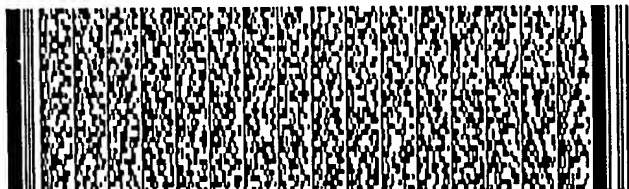
發文字號：09320054070
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	隔離溝渠之側壁摻雜方法
	英 文	Method for doping sidewall of isolation trench
二、 發明人 (共1人)	姓 名 (中文)	1. 吳兆爵
	姓 名 (英文)	1. Chao-Chueh Wu
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 新竹縣新埔鎮文山里文山路盛都巷6弄2號8樓
	住居所 (英 文)	1. 8F., No. 2, Alley 6, Lane 盛都巷, Wunshan Rd., Sinpu Township, Hsinchu County 305, Taiwan (R.O.C.)
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 茂德科技股份有限公司
	名稱或 姓 名 (英文)	1. ProMOS Technologies Inc.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區力行路十九號3樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 3F., No. 19, Li Hsin Rd., Science Based Industrial Park, Hsinchu, Taiwan, R.O.C.
	代表人 (中文)	1. 胡洪九
	代表人 (英文)	1. Hung-Chiu HU



四、中文發明摘要 (發明名稱：隔離溝渠之側壁摻雜方法)

一種隔離溝渠之側壁摻雜方法，係先提供一基底，其具有一溝渠，再於溝渠中形成一阻擋層，其中阻擋層之頂面低於基底之頂面。隨後，進行一側壁摻雜製程，以於溝渠側壁頂部之基底中形成一摻雜區，再去除溝渠中的阻擋層。由於進行側壁摻雜製程時溝渠下半部有阻擋層的保護，所以不會摻雜至溝渠底部及整個側壁，進而防止漏電流產生。

伍、(一)、本案代表圖為：第__2C-1__圖

(二)、本案代表圖之元件代表符號簡單說明：

200：基底

201：墊氧化層

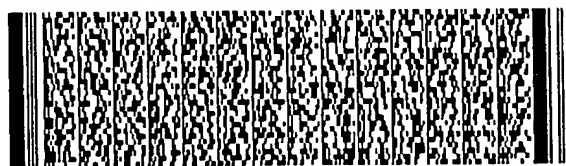
202：研磨終止層

204：溝渠

206：離子植入製程

六、英文發明摘要 (發明名稱：Method for doping sidewall of isolation trench)

A method for doping sidewall of isolation trench is to provide a substrate first, wherein the substrate has a trench. A blocking layer is formed in the trench, wherein the top surface of the blocking layer is lower than the top surface of the substrate. A sidewall doping process is performed to form a doping region in the substrate and the top of the trench sidewall. The blocking



四、中文發明摘要 (發明名稱：隔離溝渠之側壁摻雜方法)

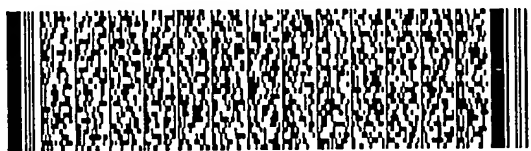
208 : 阻擋層

209 : 罩幕層

210 : 摻雜區

六、英文發明摘要 (發明名稱：Method for doping sidewall of isolation trench)

layer in the trench is then removed. Because there is the blocking layer to protect the bottom half of the trench during the sidewall doping process, it can not dope to the bottom of the trench and all sidewall resulting in preventing leakage.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得,不須寄存。



五、發明說明 (1)

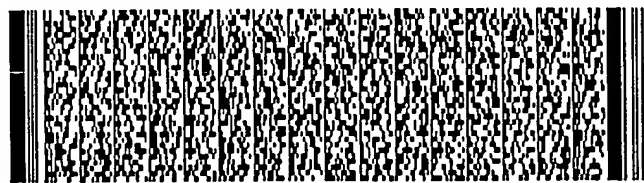
發明所屬之技術領域

本發明是有關於一種隔離溝渠(isolation trench)之製造方法，且特別是有關於一種隔離溝渠之側壁(sidewall，簡稱SW)摻雜方法。

先前技術

半導體之元件隔離區係用隔離相鄰的場效應電晶體間，藉以防止相鄰的場效電晶體間產生漏電流。而習知之隔離溝渠的製造方法即為一種普遍的元件隔離方法，其係先於基底上形成墊氧化層(pad oxide)與研磨終止層，再利用非等向性(anisotropic)乾式蝕刻，以於半導體基底中蝕刻出溝渠。接著，再將絕緣材質填滿溝渠，作為元件隔離結構。

由於跨過隔離區與主動區(active area)角落的元件(corner device)會在主動區角落形成較大的電場，造成低於起始電壓的漏電流(sub-threshold leakage)。隨著元件尺寸不斷地縮小，電晶體通道的距離也不斷縮小的趨勢下，上述低於起始電壓漏電流的情況變得更為明顯，因而造成所謂窄通道寬度效應(narrow channel width effect)。為了解決前述問題，美國專利號US5,960,276即揭示於隔離溝渠進行一側壁摻雜的製程，請參考第1圖，其係為一種隔離溝渠之側壁摻雜方法的製造流程剖面示意圖。請參照第1圖，在基底100上形成一墊氧化層101與一研磨終止層102，再利用非等向性乾式蝕刻於其中蝕刻出溝渠104。接著，進行一微影製程形成一罩幕層109遮蔽住



五、發明說明 (2)

PMOS 區域，暴露出NMOS 區域。之後，進行一側壁摻雜製程106，以於溝渠104側壁之的基底100中形成摻雜區110。

然而，由於溝渠104經過側壁摻雜製程106進行後，除了在溝渠104側壁之頂部的基底100中會形成摻雜區，而且在溝渠104底部以及整個側壁的基底100中也會形成摻雜區110。側壁處之摻雜區110與後續電晶體之源極/汲極(source/drain)摻雜區重疊使得接面梯度(junction gradient)提高，而使該處的電場將會因此上升，進而引發接面漏電(junction leakage)之情形。

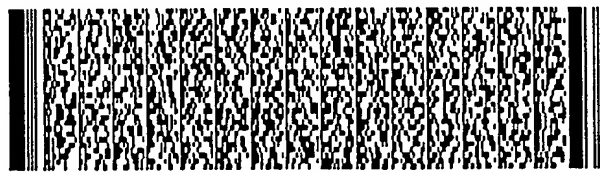
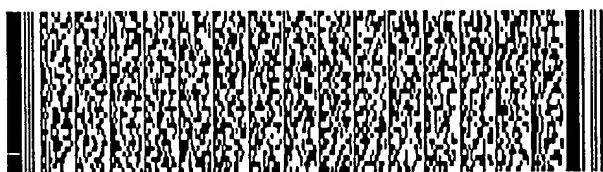
發明內容

因此，本發明之目的是提供一種隔離溝渠之側壁摻雜方法，以防止低於起始電壓的漏電流。

本發明之再一目的是提供一種隔離溝渠之側壁摻雜方法，可防止接面漏電的產生。

根據上述與其它目的，本發明提出一種隔離溝渠之側壁摻雜方法，係先提供一基底，其具有至少一溝渠，再於溝渠中形成一阻擋層，其中阻擋層之頂面低於基底之頂面。隨後，進行一側壁摻雜製程，以於溝渠側壁頂部之基底中形成一摻雜區，再去除溝渠中的阻擋層。

本發明另外提出一種隔離溝渠之側壁摻雜方法，適用於具有數個溝渠的一基底，且基底包括一第一區域以及一第二區域，其步驟包括於基底上先形成一阻擋層，以填滿溝渠。之後，提供一圖案化模具(patterned mold)，其包括至少一凸出部份以及至少一凹陷部分，其中凸出部份對



五、發明說明 (3)

應於基底之第一區域，而凹陷部分對應於基底之第二區域。隨後，將圖案化模具壓入阻擋層中，以降低對應於凸出部份的第一區域之阻擋層的厚度。然後，將模具從阻擋層移開，再進行一蝕刻製程，以去除部分阻擋層，暴露出第一區域之溝渠側壁頂部之基底。接著，進行一側壁摻雜製程，以於第一區域溝渠側壁頂部之基底中形成一摻雜區，再去除阻擋層。

本發明因為在進行側壁摻雜製程時，除了溝渠側壁頂部外其餘部份如溝渠底部及後續井區(well area)相鄰的溝渠側壁都有阻擋層的保護，所以不會造成與後續電晶體之源極/汲極摻雜區重疊，而引發接面漏電之情形。

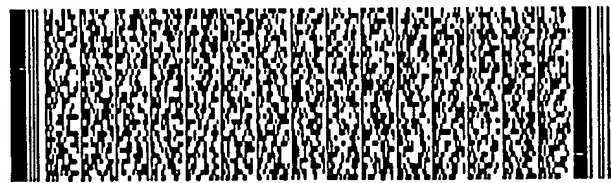
為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

實施方式

本發明之概念係利用一阻擋層保護不想被摻雜的區域，以達到最佳化的摻雜結果。

第一實施例

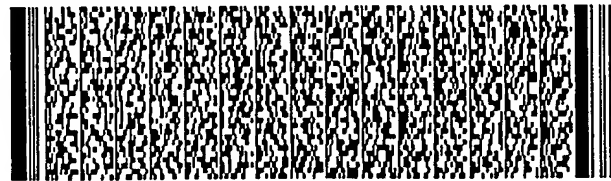
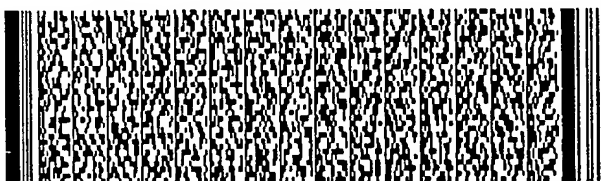
第2A圖至第2D圖係依照本發明之一第一實施例之隔離溝渠(isolation trench)的側壁(sidewall)摻雜之製造流程剖面示意圖。請先參照第2A圖，本實施例是先提供一基底200，其中具有至少一溝渠204。而且因為形成溝渠204的步驟例如是先於基底200上形成一墊氧化層(pad oxide) 201，再於墊氧化層201上形成一研磨終止層202，再以研



五、發明說明 (4)

磨終止層202為罩幕，於基底200中形成溝渠204。所以，在基底200上殘留有一墊氧化層201以及一研磨終止層202。之後，於基底200上形成一阻擋層208，以填滿溝渠204，其步驟包括旋塗製程(spin-on coating)或化學氣相沉積製程，且阻擋層208例如是光阻層(photoresist layer)、抗反射層(ARC)、旋塗絕緣層(spin-on dielectric layer)、具摻雜絕緣層(doped dielectric layer)等。前述形成一阻擋層208之前亦可選擇先在溝渠204上形成一熱氧化襯層(thermal oxide liner)(未繪示)。

接著，請參照第2B-1圖，去除部分阻擋層208，以暴露出溝渠204側壁頂部之基底200，使阻擋層208之頂面低於基底200之頂面。而去除部分阻擋層208之步驟為進行一蝕刻製程，例如是反應離子蝕刻製程或一濕式蝕刻製程。接著，可以選擇進行一微影製程的步驟，形成一罩幕層209，例如是一光阻層，以遮蔽住第二區域212b，暴露出第一區域212a。其中第一區域212a與第二區域212b所形成之MOS的導電型不同，第一區域212a例如是NMOS區域，第二區域212b例如是PMOS區域。此時，假使阻擋層208是光阻層的話，則需先進行一硬烤製程(hard bake process)，以硬化阻擋層208。另外，請參照第1圖，習知技術中進行微影製程形成罩幕層109時，基底100表面落差包括墊氧化層101、研磨終止層102之厚度及溝渠104之深度。相較於習知技術，本發明在此進行微影製程步驟形成

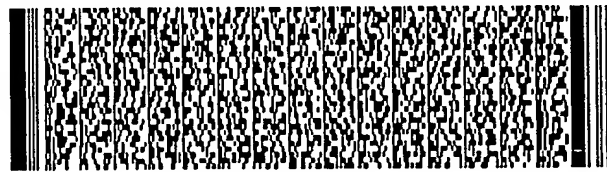
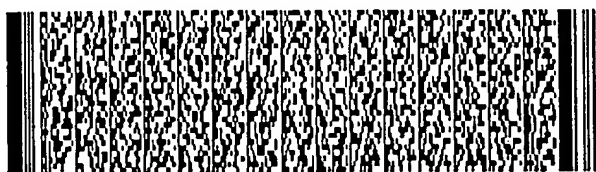


五、發明說明 (5)

罩幕層209時，因溝渠204已被阻擋層208部份填滿，所以可以降低表面落差，可增加微影製程的製程窗(process window)。除此之外，若阻擋層208若是抗反射層時，更可減少曝光時的反射光源，進一步增加微影製程的製程窗。

接於第2A圖步驟之後，前述第2B-1圖中所述方法亦可取代地使用另一方法，請參照第2B-2圖，先在第二區域212b的阻擋層208上形成一圖案化罩幕層209，例如是一光阻層。再利用圖案化罩幕層209作為蝕刻罩幕，對阻擋層208進行一蝕刻製程，例如是反應離子蝕刻製程或一濕式蝕刻製程，以去除部分阻擋層208，以暴露出第一區域212a的溝渠204側壁頂部之基底200，使所留下之阻擋層208之頂面低於基底200之頂面。相較於習知技術，本發明在此進行微影製程步驟形成罩幕層209時，因溝渠204已被阻擋層208完全填滿，所以可以降低表面落差，可增加微影製程的製程窗。除此之外，若阻擋層208若是抗反射層時，更可減少曝光時的反射光源，進一步增加微影製程的製程窗。

隨後，請參照第2C-1及2C-2圖，進行一側壁摻雜製程206，如離子植入製程(ion implantation，簡稱I/I)，以於暴露出的溝渠204側壁頂部之基底200中形成一摻雜區210。此離子植入的離子型態係與後續電晶體之源極/汲極的摻雜型態相反，若後續電晶體為NMOS，則離子植入的離子型態則為P型離子(譬如硼離子)，且離子植入的深度係較後續電晶體之源極/汲極摻雜區為淺。離子植入的



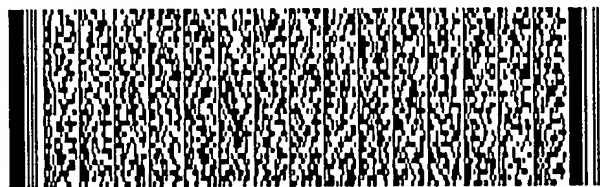
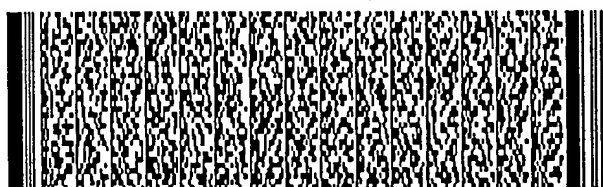
五、發明說明 (6)

條件例如是能量在5-40KeV之間，劑量在 $5E12-1E14$ ions/cm²之間，與基底200之垂直方向的夾角在5-30度之間。

最後，請參照第2D圖，去除溝渠204中的阻擋層208及罩幕層209（請見第2C-1及2C-2圖），以接續之後的半導體製程。

第二實施例

第3A圖至第3D圖係依照本發明之一第二實施例之隔離溝渠的側壁摻雜之製造流程剖面示意圖，此第二實施例為利用奈米印刻技術(nanoimprint lithography)，實施方法請參照美國專利號US6,482,742所述，本發明不另詳述。請先參照第3A圖，本實施例適用於具有數個溝渠304的基底300，基底300上殘留有一墊氧化層301以及一研磨終止層302，且基底300包括一第一區域312a以及一第二區域312b，其中位於第一區域312a的溝渠304即為待進行溝渠側壁摻雜的溝渠。其中第一區域312a與第二區域312b所形成之MOS的導電型不同，其中第一區域312a例如是NMOS區域，第二區域312b例如是PMOS區域。然後，於基底300上形成一阻擋層308，以填滿溝渠304，其步驟包括旋塗製程，且阻擋層308例如是光阻層、抗反射層、旋塗絕緣層、熱塑性高分子層(thermoplastic polymer)、熱硬化層(heat-hardening layer)、輻射硬化層(radiation-hardening layer)等。前述形成一阻擋層308之前亦可選擇先在溝渠304上形成一熱氧化襯層(未繪



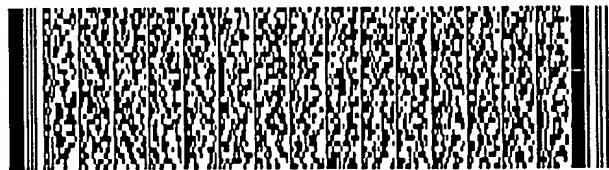
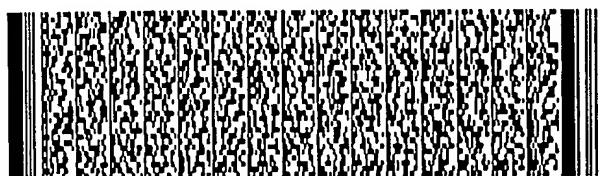
五、發明說明 (7)

示)。

請繼續參照第3A圖，提供一圖案化模具314，且模具314是由一主體316與置於主體316下的一凸出部份(protruding portion)318以及一凹陷部分(recess portion)320所組成，其中凸出部份318對應於基底300之第一區域312a，而凹陷部分320對應於基底300之該二區域312b。

接著，請參照第3B圖，將模具314壓入阻擋層308中，以降低對應於凸出部份318的第一區域312a之阻擋層308的厚度，並將模具314中的圖案轉印至阻擋層308上。其中，將模具314壓入阻擋層308中時還可選擇增加進行一加熱製程或進行一輻射照射製程的步驟，以使阻擋層308硬化。然後，將模具314從阻擋層308移開。

隨後，請參照第3C圖，進行一蝕刻製程，以去除部分阻擋層308，暴露出第一區域312a之溝渠304側壁頂部之基底300，其中進行蝕刻製程之步驟例如是進行一反應離子蝕刻製程或一濕式蝕刻製程。之後，進行一側壁摻雜製程306，如離子植入製程，以於溝渠304側壁頂部之基底300中形成一摻雜區310。此離子植入的離子型態係與後續電晶體之源極/汲極的摻雜型態相反，若後續電晶體為NMOS，則離子植入的之離子型態則為P型離子(例如是硼離子)，且離子植入的深度係較後續電晶體之源極/汲極摻雜區為淺。離子植入的條件例如是能量在5-40KeV之間，劑量在 $5E12-1E14$ ions/cm²之間，與基底300垂直方向的夾角



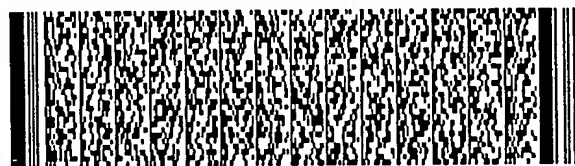
五、發明說明 (8)

在5-30度之間。

最後，請參照第3D圖，去除阻擋層308(請參照第3C圖)，以接續之後的半導體製程。相較於第一實施例需要阻擋層208及罩幕層209雙層結構(請參照第2B-1及2B-2圖)，此第二實施例配合奈米印刻技術則僅需要阻擋層308單層結構(請參照第3C圖)，如此可以進一步減少製程複雜度。

綜上所述，本發明之特點在於進行側壁摻雜製程時，除了溝渠側壁頂部外其餘部份如溝渠底部及後續井區(well area)相鄰的溝渠側壁，所以不會造成與後續電晶體之源極/汲極摻雜區重疊，而引發接面漏電之情形。並達到防止跨過隔離區與主動區角落的元件低於起始電壓漏電的目的。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

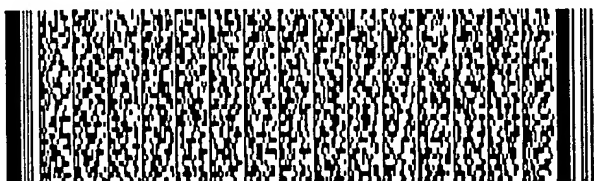
第1圖係習知一種隔離溝渠之側壁摻雜方法的製造流程剖面示意圖；

第2A圖至第2D圖係依照本發明之一第一實施例之隔離溝渠的側壁摻雜之製造流程剖面示意圖；以及

第3A圖至第3D圖係依照本發明之一第二實施例之隔離溝渠的側壁摻雜之製造流程剖面示意圖。

圖式標示說明

100, 200, 300 : 基底
101, 201, 301 : 墊氧化層
102, 202, 302 : 研磨終止層
104, 204, 304 : 溝渠
106, 206, 306 : 離子植入製程
109, 209 : 罩幕層
110, 210, 310 : 摻雜區
208, 308 : 阻擋層
212a, 312a : 第一區域
212b, 312b : 第二區域
314 : 模具
316 : 主體
318 : 凸出部份
320 : 凹陷部分



六、申請專利範圍

1. 一種隔離溝渠之側壁摻雜方法，包括：

提供一基底，該基底具有複數個溝渠；

於該些溝渠中形成一阻擋層，該阻擋層之頂面低於該基底之頂面；

進行一側壁摻雜製程，以於該些溝渠側壁頂部之該基底中形成一摻雜區；以及

去除該些溝渠中的該阻擋層。

2. 如申請專利範圍第1項所述之隔離溝渠之側壁摻雜方法，其中該側壁摻雜製程所形成之該摻雜區之摻雜型態與該些溝渠周圍之該基底中預定形成之源極/汲極的摻雜型態相反。

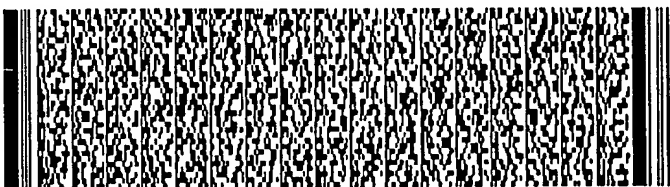
3. 如申請專利範圍第2項所述之隔離溝渠之側壁摻雜方法，其中該側壁摻雜製程包括一離子植入製程。

4. 如申請專利範圍第3項所述之隔離溝渠之側壁摻雜方法，其中該離子植入製程的條件包括能量在5-40KeV之間、劑量在 $5E12-1E14$ ions/cm²之間以及與該基底之垂直方向的夾角在5-30度之間。

5. 如申請專利範圍第2項所述之隔離溝渠之側壁摻雜方法，其中該側壁摻雜製程所形成之該摻雜區之深度較淺於該些溝渠周圍之該基底中預定形成之源極/汲極的接面深度。

6. 如申請專利範圍第1項所述之隔離溝渠之側壁摻雜方法，其中形成該阻擋層的步驟包括：

於該基底上形成一阻擋材料層，以填滿該些溝渠並覆



六、申請專利範圍

蓋該基底之表面；以及

進行一蝕刻製程，以去除該基底上之該阻擋材料層以及該些溝渠上之部分該阻擋材料層，留下該些溝渠之該阻擋材料層，以形成該阻擋層。

7. 如申請專利範圍第6項所述之隔離溝渠之側壁摻雜方法，其中該阻擋層包括光阻層、抗反射層、旋塗絕緣層、具摻雜絕緣層、熱塑性高分子層、熱硬化層與輻射硬化層其中之一。

8. 如申請專利範圍第7項所述之隔離溝渠之側壁摻雜方法，其中於該基底上形成該阻擋層的步驟包括旋塗製程與化學氣相沉積製程其中之一。

9. 如申請專利範圍第6項所述之隔離溝渠之側壁摻雜方法，其中該蝕刻製程包括反應性離子蝕刻製程與濕式蝕刻製程其中之一。

10. 一種隔離溝渠之側壁摻雜方法，包括：

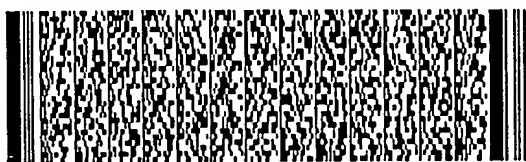
提供一基底，該基底區分為一第一區域與一第二區域，且該基底之該第一與該第二區域具有複數個溝渠；

於該基底上形成一阻擋材料層，以填滿該些溝渠；

於該基底上形成一罩幕層，以覆蓋該第二區域；

進行一蝕刻製程，以去除部分該阻擋材料層，使留在該第一區域之該些溝渠中的阻擋材料層之頂面低於該基底之頂面；

進行該側壁摻雜製程，以於該些溝渠側壁頂部之該基底中形成一摻雜區；以及



六、申請專利範圍

去除該罩幕層與該阻擋材料層。

11. 如申請專利範圍第10項所述之隔離溝渠之側壁摻雜方法，其中該蝕刻製程步驟係在形成該罩幕層的步驟之前進行。

12. 如申請專利範圍第10項所述之隔離溝渠之側壁摻雜方法，其中該蝕刻製程步驟係在形成該罩幕層的步驟之後進行。

13. 如申請專利範圍第10項所述之隔離溝渠之側壁摻雜方法，其中該蝕刻製程包括反應性離子蝕刻製程與濕式蝕刻製程其中之一。

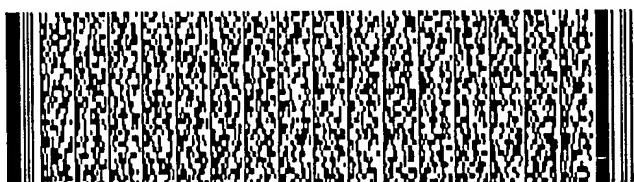
14. 如申請專利範圍第10項所述之隔離溝渠之側壁摻雜方法，其中該阻擋材料層包括光阻層、抗反射層、旋塗絕緣層、具摻雜絕緣層其中之一，該罩幕層包括光阻層。

15. 如申請專利範圍第14項所述之隔離溝渠之側壁摻雜方法，其中於該基底上形成該阻擋層的步驟包括旋塗製程與化學氣相沉積製程其中之一。

16. 如申請專利範圍第10項所述之隔離溝渠之側壁摻雜方法，其中該側壁摻雜製程所形成之該摻雜區之摻雜型態與該第一區域之該基底中預定形成之源極/汲極的摻雜型態相反。

17. 如申請專利範圍第16項所述之隔離溝渠之側壁摻雜方法，其中該側壁摻雜製程包括一離子植入製程。

18. 如申請專利範圍第17項所述之隔離溝渠之側壁摻雜方法，其中該離子植入製程的條件包括能量在5-40KeV



六、申請專利範圍

之間、劑量在 $5E12-1E14$ ions/cm²之間以及與該基底之垂直方向的夾角在5-30度之間。

19. 如申請專利範圍第16項所述之隔離溝渠之側壁摻雜方法，其中該側壁摻雜製程所形成之該摻雜區之深度較淺於第一區域之該基底中預定形成之源極/汲極的接面深度。

20. 如申請專利範圍第10項所述之隔離溝渠之側壁摻雜方法，其中該第一區域與該第二區域所形成之MOS的導電型不同。

21. 一種隔離溝渠之側壁摻雜方法，包括：

提供一基底，該基底區分為一第一區域與一第二區域，且該第一與該第二區域之該基底中已形成複數個溝渠；

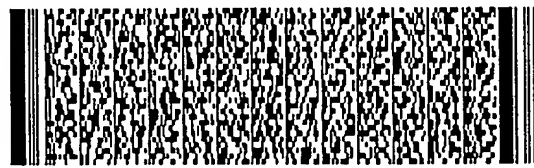
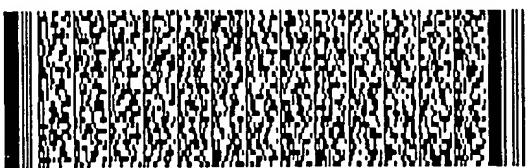
於該基底上形成一阻擋層，其中在該第二區域之該阻擋層填係滿該些溝渠並覆蓋該基底表面，但在該第一區域之該阻擋層僅填入該些溝渠而裸露出基底表面，且填入該第一區域之該些溝渠中之該些阻擋層的頂面低於該基底之頂面；

進行該側壁摻雜製程，以於該些溝渠側壁頂部之該基底中形成一摻雜區；以及

去除該阻擋層。

22. 如申請專利範圍第21項所述之隔離溝渠之側壁摻雜方法，其中形成該阻擋層的步驟包括：

於該基底上形成一阻擋材料層，該阻擋層填滿該第一



六、申請專利範圍

區域與該第二區域之該些溝渠，且在該第二區域之該阻擋層的厚度大於在該第一區域之該阻擋層的厚度；

進行一蝕刻製程，去除部分該阻擋材料層，以形成該阻擋層。

23. 如申請專利範圍第22項所述之隔離溝渠之側壁摻雜方法，其中形成該阻擋材料層的步驟包括：

在該基底上形成一材料層，以填滿該第一區域與該第二區域之該些溝渠，該第二區域之該材料層的厚度大致與該第一區域之該材料層的厚度相等；以及

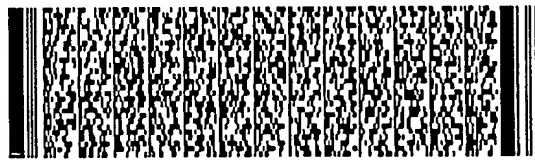
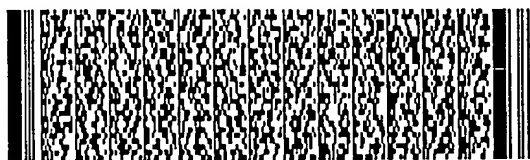
進行一奈米印刻製程，將一模具壓入該材料層中，以縮減該第一區域之該材料層之厚度，以形成該阻擋材料層。

24. 如申請專利範圍第23項所述之隔離溝渠之側壁摻雜方法，其中該模具具有一圖案，該圖案至少包括一凸出部份以及一凹陷部分，其中該凸出部份對應於該基底之該第一區域，而該凹陷部分對應於該基底之該第二區域。

25. 如申請專利範圍第23項所述之隔離溝渠之側壁摻雜方法，其中該材料層包括光阻層、抗反射層、旋塗絕緣層、熱塑性高分子層、熱硬化層與輻射硬化層其中之一。

26. 如申請專利範圍第25項所述之隔離溝渠之側壁摻雜方法，其中將該模具壓入該材料層之步驟時更包括進行一硬化步驟。

27. 如申請專利範圍第26項所述之隔離溝渠之側壁摻雜方法，其中該硬化步驟係施行一加熱製程與一輻射照射



六、申請專利範圍

製程其中之一。

28. 如申請專利範圍第22項所述之隔離溝渠之側壁摻雜方法，其中該蝕刻製程包括反應性離子蝕刻製程與濕式蝕刻製程其中之一。

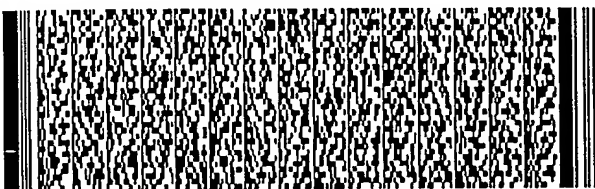
29. 如申請專利範圍第21項所述之隔離溝渠之側壁摻雜方法，其中該側壁摻雜製程所形成之該摻雜區之摻雜型態與該第一區域之該基底中預定形成之源極/汲極的摻雜型態相反。

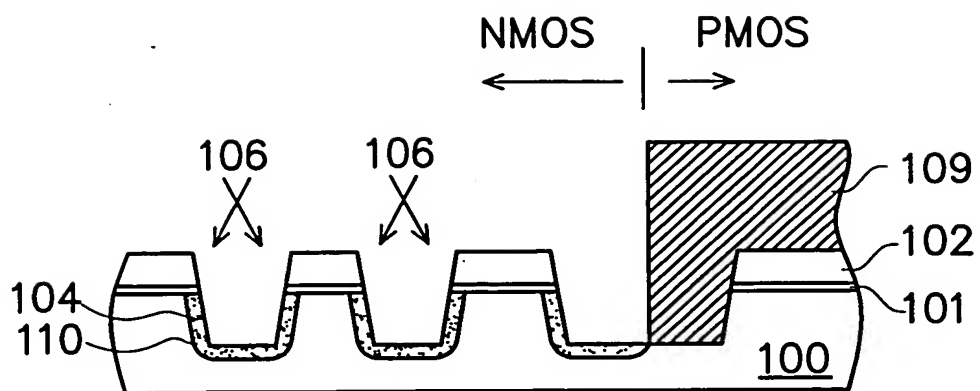
30. 如申請專利範圍第21項所述之隔離溝渠之側壁摻雜方法，其中該側壁摻雜製程包括一離子植入製程。

31. 如申請專利範圍第30項所述之隔離溝渠之側壁摻雜方法，其中該離子植入製程的條件包括能量在5-40KeV之間、劑量在 $5E12-1E14$ ions/cm²之間以及與該基底之垂直方向的夾角在5-30度之間。

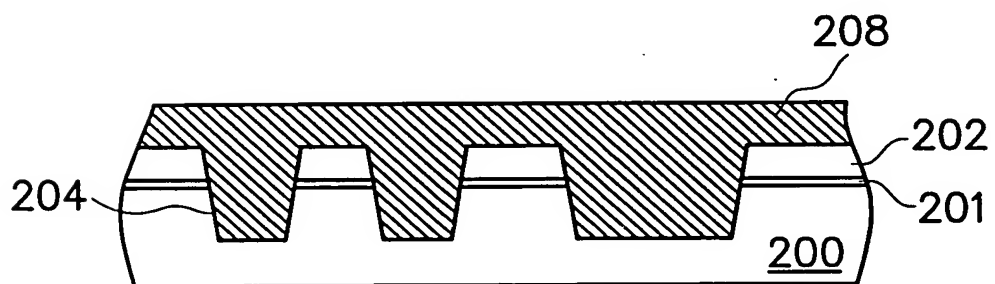
32. 如申請專利範圍第21項所述之隔離溝渠之側壁摻雜方法，其中該側壁摻雜製程所形成之該摻雜區之深度較淺於第一區域之該基底中預定形成之源極/汲極的接面深度。

33. 如申請專利範圍第21項所述之隔離溝渠之側壁摻雜方法，其中該第一區域與該第二區域所形成之MOS的導電型不同。

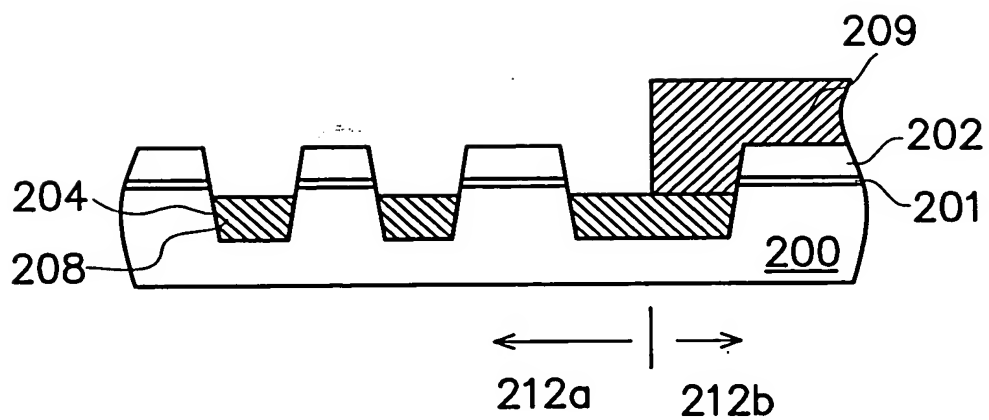




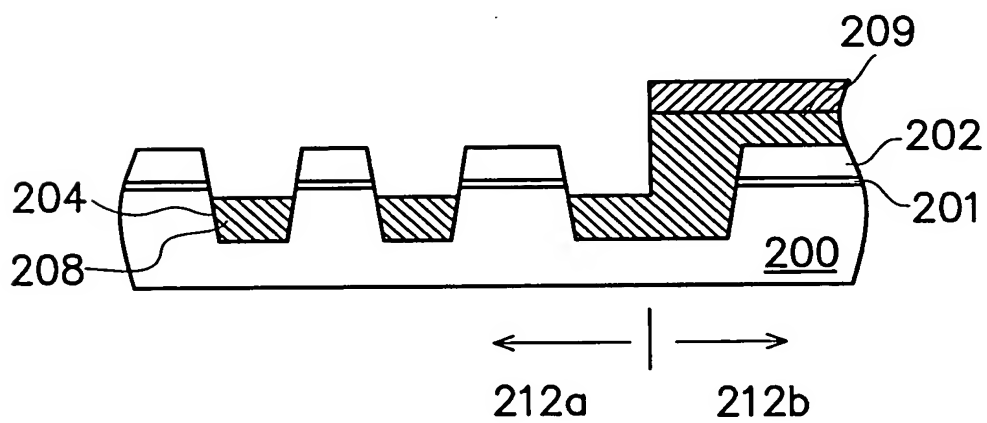
第 1 圖



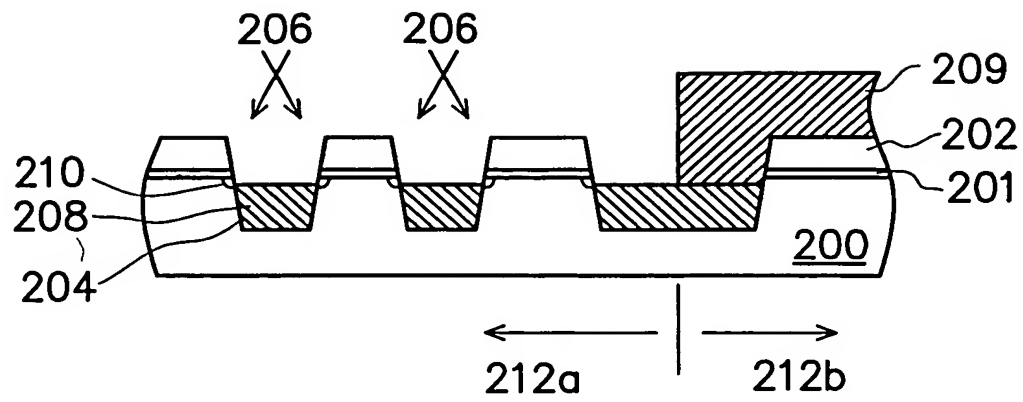
第 2A 圖



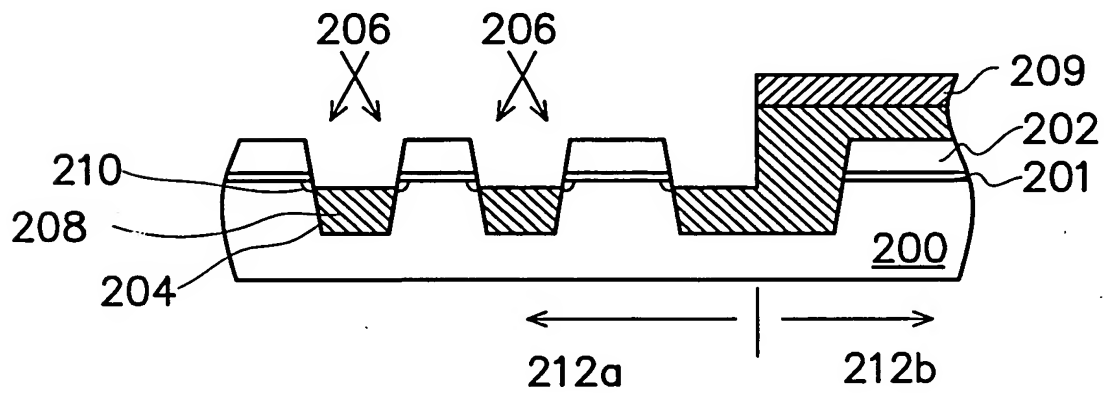
第2B-1圖



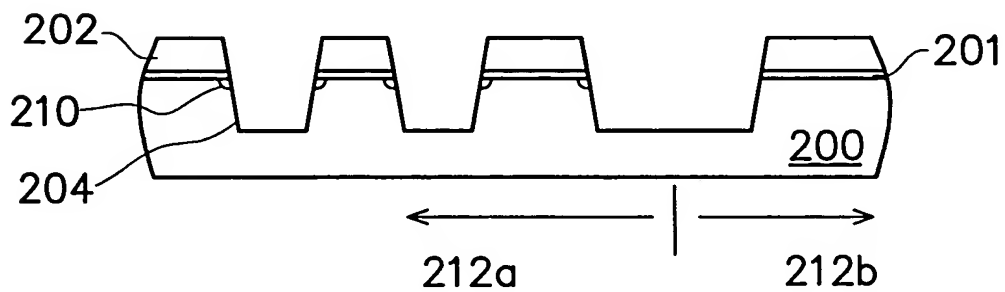
第2B-2圖



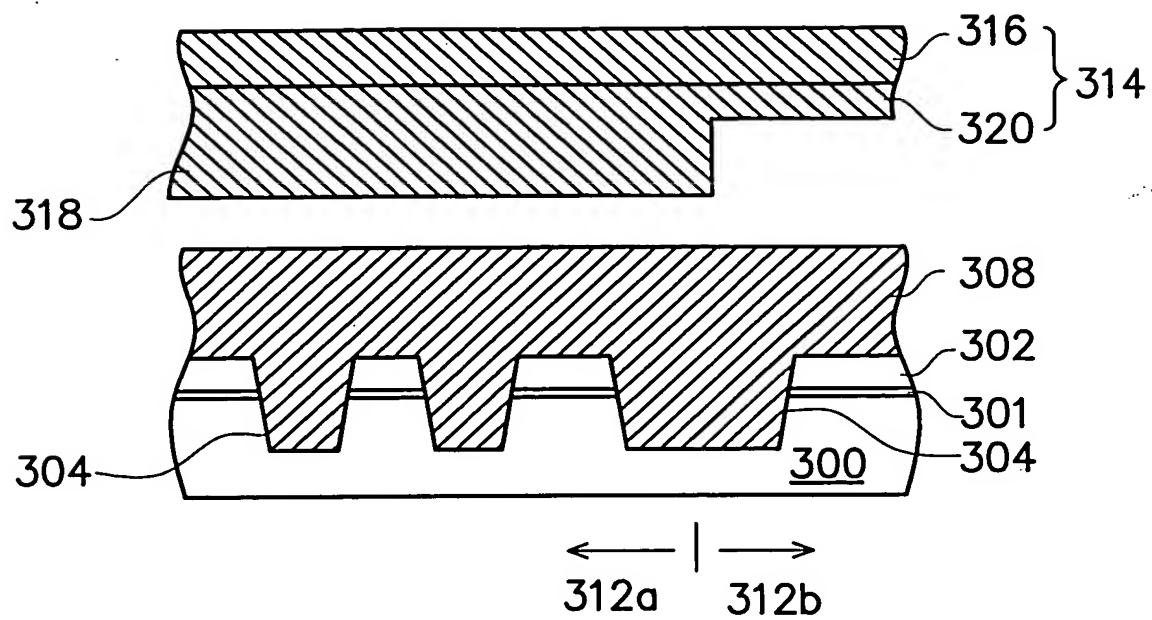
第2C-1圖



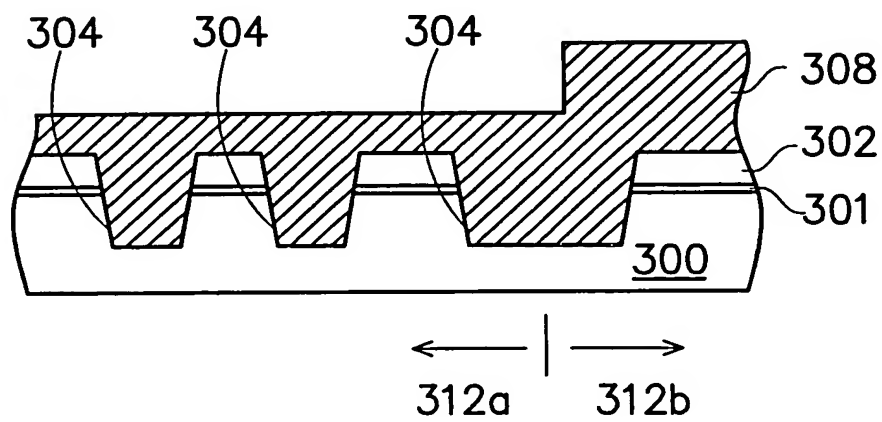
第2C-2圖



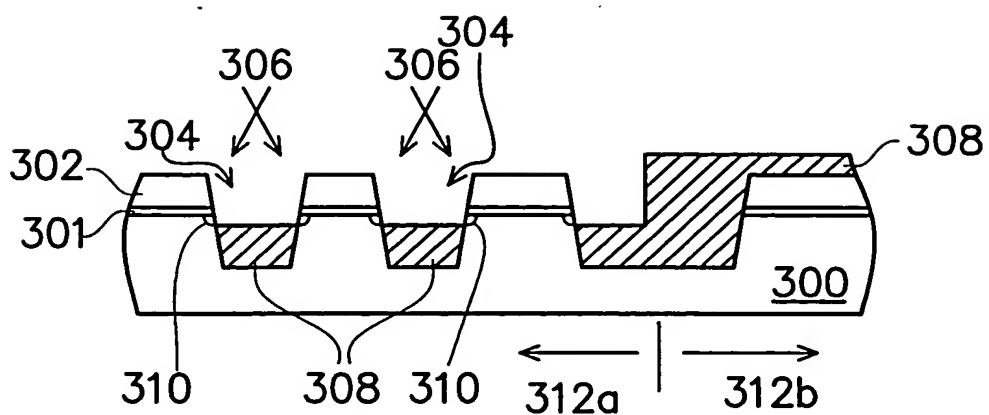
第 2D 圖



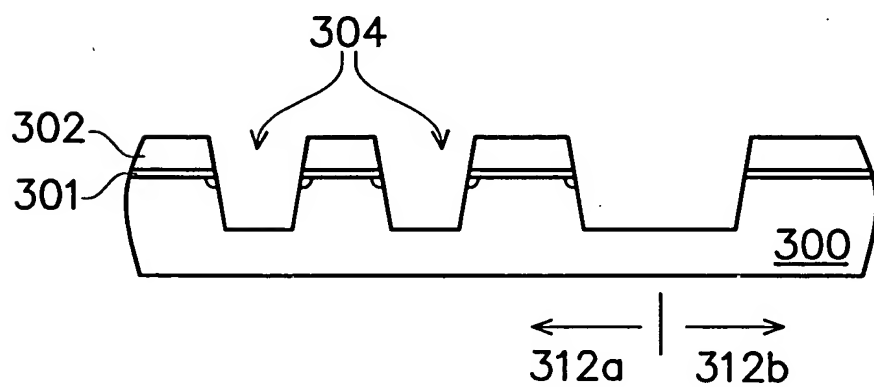
第 3A 圖



第 3B 圖

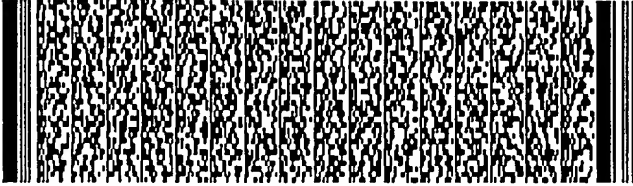


第 3C 圖

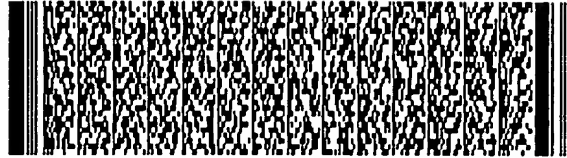


第 3D 圖

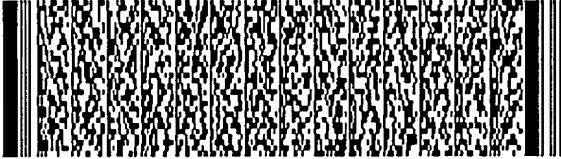
第 1/19 頁



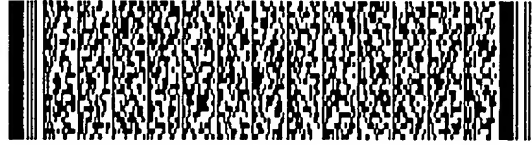
第 2/19 頁



第 2/19 頁



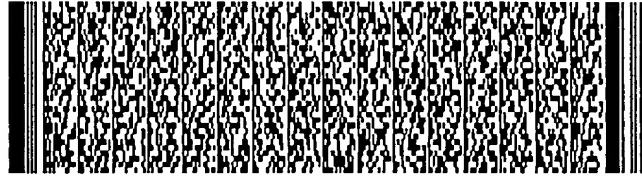
第 3/19 頁



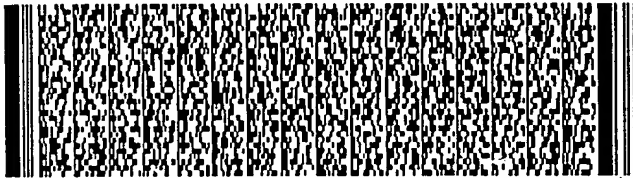
第 4/19 頁



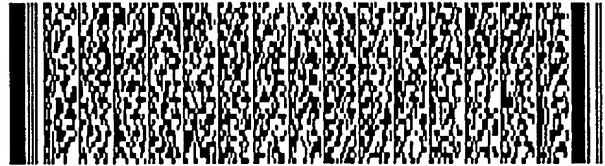
第 5/19 頁



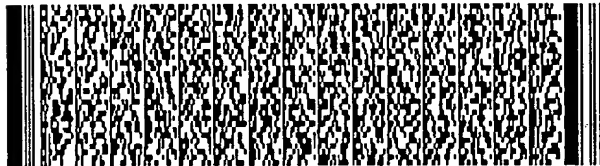
第 5/19 頁



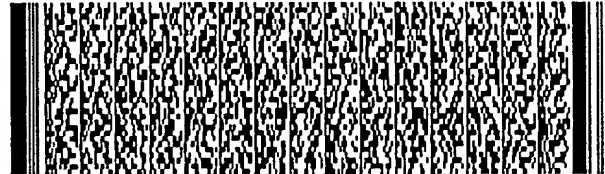
第 6/19 頁



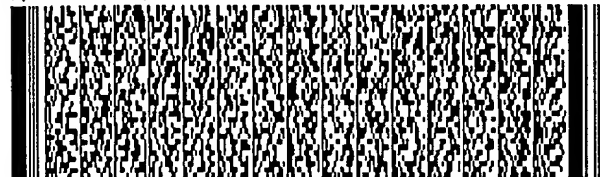
第 6/19 頁



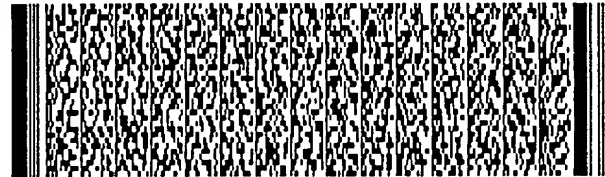
第 7/19 頁



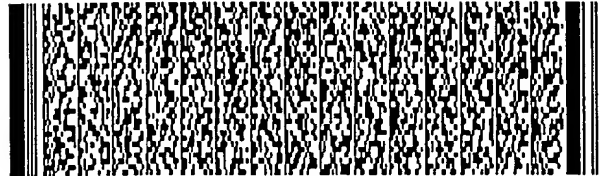
第 7/19 頁



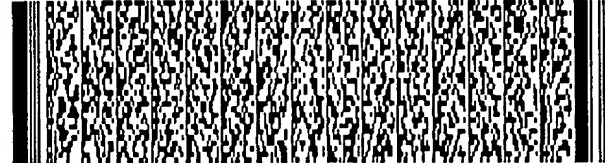
第 8/19 頁



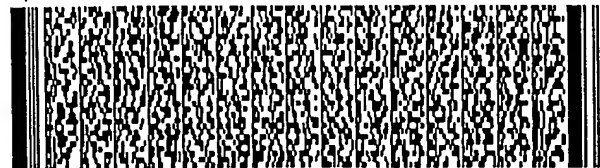
第 8/19 頁



第 9/19 頁



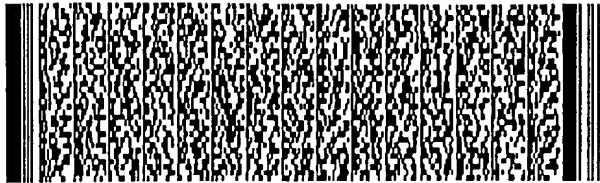
第 9/19 頁



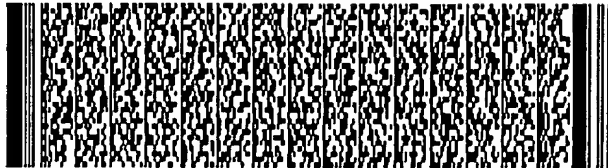
第 10/19 頁



第 10/19 頁



第 11/19 頁



第 11/19 頁



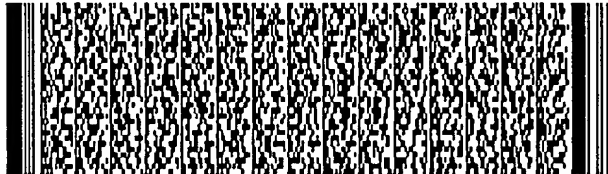
第 12/19 頁



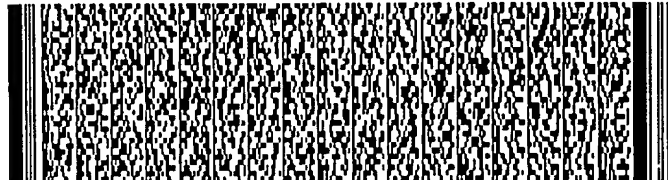
第 12/19 頁



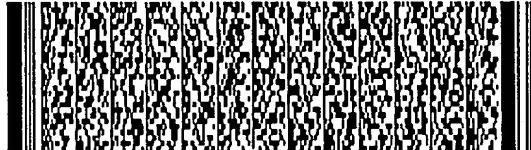
第 13/19 頁



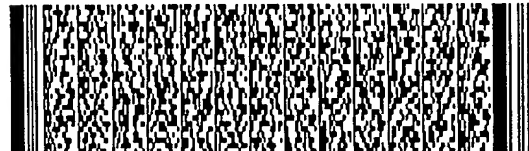
第 14/19 頁



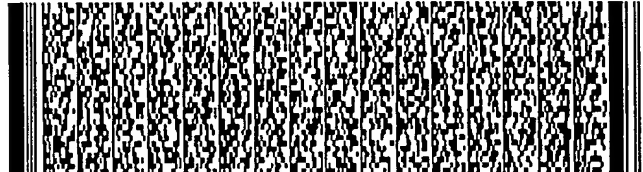
第 15/19 頁



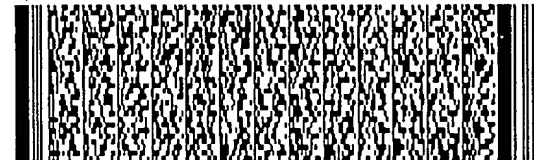
第 15/19 頁



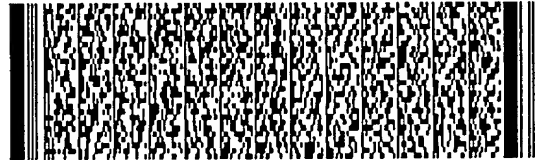
第 16/19 頁



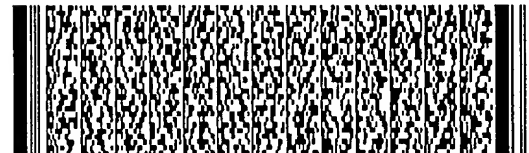
第 17/19 頁



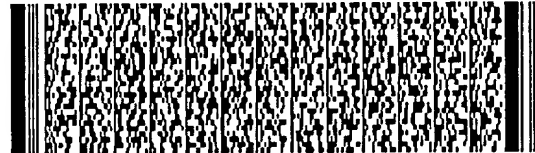
第 17/19 頁



第 18/19 頁



第 18/19 頁



第 19/19 頁

